

スーパーサンプリングDAC

$$\alpha = -2 + \sqrt{3}$$

無限スプライン関数による補間法

小林芳直 手作りアンプの会

肥後信嗣 SLDJ合同会社

スーパーサンプリング

- データ列から隠れた関数＝スプライン関数を導出する
- 波形が一意に決まり再現性が良い
- 過渡応答、波形伝送に優れる
- 連続サイン波に対する周波数特性はFIRフィルタに劣る

無限スプライン関数

- 無限に続くデータ列で定義されたスプライン関数

- 区間ごとに係数計算を更新

- $S_j(x) = a_j x^3 + b_j x^2 + c_j x + d_j$ $0 \leq x \leq 1$

- $a_j + b_j + c_j + d_j = d_{j+1}$ ∴ 値が連続

- $3a_j + 2b_j + c_j = c_{j+1}$ ∴ 1次微分が連続

- $6a_j + 2b_j = 2b_{j+1}$ ∴ 2次微分が連続

スプライン関数の解法 b_j を解けばよい

- $a_j = (b_{j+1} - b_j) / 3$ ①
 - b_j の従属変数
- $c_j = d_{j+1} - d_j - b_{j+1} / 3 - 2b_j / 3$ ②
 - b_j の従属変数
- $b_{j-1} + 4b_j + b_{j+1} = 3(d_{j-1} - 2d_j + d_{j+1})$ ③
- ③ × N式 < 未知数は(N+2)個 解けない? !

③式は解ける

-
- $b_{j-4} + 4b_{j-3} + b_{j-2} = 3(d_{j-4} - 2d_{j-3} + d_{j-2})$ $3-3 \times \alpha^3$
- $b_{j-3} + 4b_{j-2} + b_{j-1} = 3(d_{j-3} - 2d_{j-2} + d_{j-1})$ $3-2 \times \alpha^2$
- $b_{j-2} + 4b_{j-1} + b_j = 3(d_{j-2} - 2d_{j-1} + d_j)$ $3-1 \times \alpha^1$
- $b_{j-1} + 4b_j + b_{j+1} = 3(d_{j-1} - 2d_j + d_{j+1})$ ③
- $b_j + 4b_{j+1} + b_{j+2} = 3(d_j - 2d_{j+1} + d_{j+2})$ $3+1 \times \alpha^1$
- $b_{j+1} + 4b_{j+2} + b_{j+3} = 3(d_{j+1} - 2d_{j+2} + d_{j+3})$ $3+2 \times \alpha^2$
- $b_{j+2} + 4b_{j+3} + b_{j+4} = 3(d_{j+2} - 2d_{j+3} + d_{j+4})$ $3+3 \times \alpha^3$
-

b_j は無限等比級数で求まる

- $1 + 4\alpha + \alpha^2 = 0$ 過去
- $\alpha^2 + 4\alpha + 1 = 0$ 未来
- $\alpha = -2 \pm \sqrt{3}$ $\Rightarrow \alpha = -2 + \sqrt{3}$ で収束
- $b_j/3 = -(\sqrt{3} - 1)d_j - \sum_{k=1}^{+\infty} \sqrt{3}\alpha^k d_{j-k} - \sum_{l=1}^{+\infty} \sqrt{3}\alpha^l d_{j+l}$

未来無限等比級数を漸化式で求める

- $\sum_{l=1}^{+\infty} \sqrt{3}\alpha^l d_{j+l} = \sqrt{3}\alpha \left(d_{j+1} + \alpha \left(d_{j+2} + \alpha \left(d_{j+3} + \alpha \left(d_{j+4} + \alpha(\quad) \right) \right) \right) \right) \right)$
- $f_{j+BigNumber-1} = d_{j+BigNumber-1} + \alpha f_{j+BigNumber}$
- $BigNumber - = 1$
- $f_{j+1} = d_{j+1} + \alpha f_{j+2}$
- $\therefore \sum_{l=1}^{+\infty} \sqrt{3}\alpha^l d_{j+k} = \sqrt{3}\alpha f_{j+1}$



過去無限等比級数を漸化式で求める

- $\sum_{k=1}^{+\infty} \sqrt{3}\alpha^k d_{j-k} = \sqrt{3}\alpha \left(d_{j-1} + \alpha \left(d_{j-2} + \alpha \left(d_{j-3} + \alpha \left(d_{j-4} + \alpha(\quad) \right) \right) \right) \right) \right)$
- $e_{j-\text{BigNumber}+1} = d_{j-\text{BigNumber}+1} + \alpha e_{j-\text{BigNumber}}$
- $\text{BigNumber} += 1$
- $e_{j-1} = d_{j-1} + \alpha e_{j-2}$
- $\therefore \sum_{k=1}^{+\infty} \sqrt{3}\alpha^k d_{j-k} = \sqrt{3}\alpha e_{j-1}$



BigNumber ≥ 13 : *GuardArea*

- n 打ち切り計算誤差 δ_n は収束
- $\delta_n = \sum_{i=n}^{+\infty} \alpha^i d_{j+i+1} \leq \sum_{i=n}^{+\infty} |\alpha|^i = |\alpha|^n \frac{1}{1-|\alpha|} = \frac{(2-\sqrt{3})^n (\sqrt{3}+1)}{2}$
- $\delta_n \leq 2^{-D}$ $\therefore D$ はデータのビット数
- 16ビットデータは9近傍で収束
- 24ビットデータは13近傍で収束 **重要**

b_j

- $b_j/3 = -(\sqrt{3} - 1)d_j - \sqrt{3}\alpha(f_{j+1} + e_{j-1})$

- 無理数の積和算が3種4セット必要
- HWが巨大化？

- $b_j/3 = -(\sqrt{3} - 1)d_j - \sqrt{3}\alpha(f_{j+1} + e_{j-1}) = -(\alpha + 1)d_j + (2\alpha + 1)(f_{j+1} + e_{j-1})$

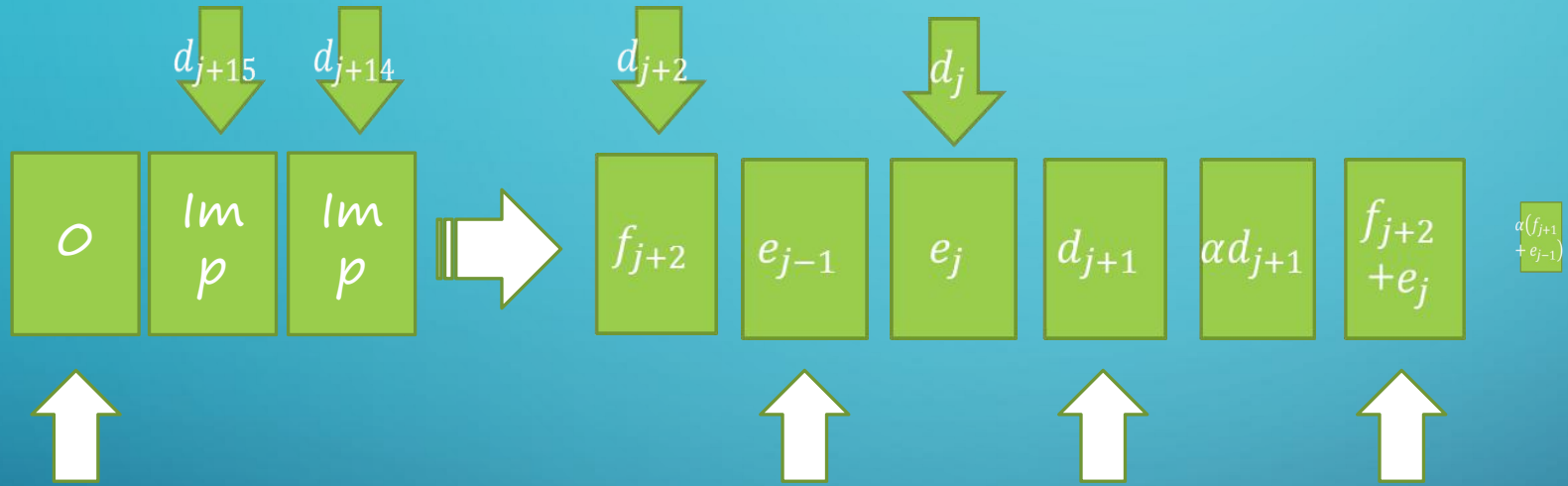
- $\therefore \sqrt{3} - 1 = \sqrt{3} - 2 + 1 = \alpha + 1$

- $\therefore -\sqrt{3}\alpha = -\sqrt{3}(-2 + \sqrt{3}) = 2\sqrt{3} - 3 = 2\sqrt{3} - 4 + 1 = 2\alpha + 1$

- 同一演算にできる
- 単一HWで時分割処理

*Impulse*関数 : 漸化式を実行するHW

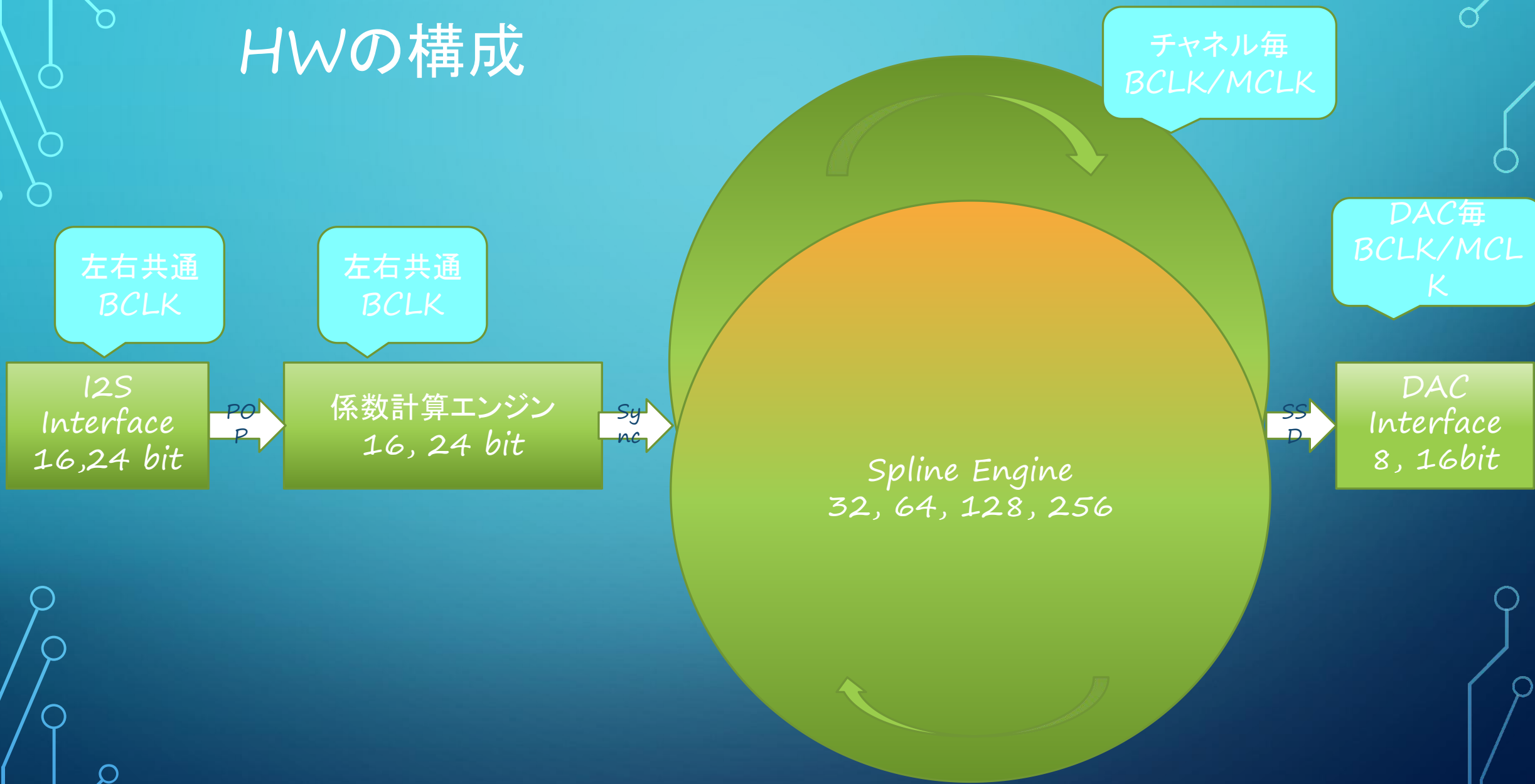
$$\text{Impulse}(x) = x + \alpha \text{ previousImpulse}$$



係数計算エンジン

- *FrontImpulse* f_{j+2} の計算 13回 14 clock
- *BackImpulse* $e_j = d_j + \alpha e_{j-1}$ の計算 1回 2 clock
- αd_{j+1} の計算 1回 2 clock
- $\alpha(f_{j+2} + e_j)$ の計算 1回 2 clock
- $b_{j+1}/3$ の計算 1回 1 clock
- $a_j - c_j$ の計算 1回 1 clock
- 計算に必要な総クロック数は22 ⇒ RLで共用できる
- 係数が揃ったらSync信号でSpline Engine を起動

HWの構成



12S INTERFACE

- 12Sのシリアルデータを16ビットまたは24ビットの平行データに変換
- POP信号で係数計算エンジンを起動

SPLINE エンジン

- $S_j(x) = a_j x^3 + b_j x^2 + c_j x + d_j = ((a_j x + b_j)x + c_j)x + d_j$
- Pipeline1 : $b_j += \delta a_j$ $\delta = 1/64$ when SSR=64
- Pipeline2 : $Bx = b_j \times x$
- Pipeline3 : $C = c_j + Bx$
- Pipeline4 : $Cx = C \times x$
- Pipeline5 : $SSD = d_j + Cx$
- 動作クロック
 - スーパーサンプリング64倍以下 BCLK
 - スーパーサンプリング128倍以上 MCLK

CLIP

- SSDは+2ビットで計算
- オーバーフロー、アンダーフローはCLIP

DACインタフェース

- 種々のMultiplying-DAC, Video-DACに対応
- DAC8822 16bit 2ch SSR=32
- DAC08 8bit 1ch SSR=64
- DAC8820 16bit 1ch SSR=128 in plan
- BU3616K 8bit 3ch SSR=256 in plan
- DAC7821 12bit 1ch SSR=256 in plan

MULTIPLYING-DAC

- *Ref*電圧を変えて音量調整
 - ビット落ちのない音量調整
 - *VR*が無いので音質改善
- 最大出力電圧 $\pm 18V$ \Rightarrow $0dB$ バッファで*SP*を駆動
- *Ref*電圧 = *PA*の電源電圧にすれば \Rightarrow *GG*アンプ

まとめ

- 新方式のDACを提案
- 無限スプライン関数をオンザフライで実行
- 無理数の積和算を単一HWで時分割処理
 - エLEMENT数の削減
 - 高速化
 - 計算精度
- 音質改善 + 省電力
- 河合一氏が予言したDAC